

کد کنترل

331

F

331F

آزمون (نیمه‌تم مرکز) ورود به دوره‌های دکتری – سال ۱۴۰۱

دفترچه شماره (۱)

صبح جمعه ۱۴۰۰/۱۲/۶



جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

«اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.
امام خمینی (ره)

رشته مهندسی کامپیوتر – معماری (۲۳۵۵) کد

جدول مواد امتحانی، تعداد، شماره سوال‌ها و زمان پاسخ‌گویی

مواد امتحانی	مجموعه دروس تخصصی:
تعداد سوال	- مدار منطقی و معماری کامپیوتر
از شماره	- معماری کامپیوتر پیشرفته – VLSI پیشرفته
تاریخ	۱۵۰ دقیقه
زمان پاسخ‌گویی	۴۵
تعداد سوال	۴۵
تاریخ	۱

استفاده از ماشین حساب مجاز نیست.

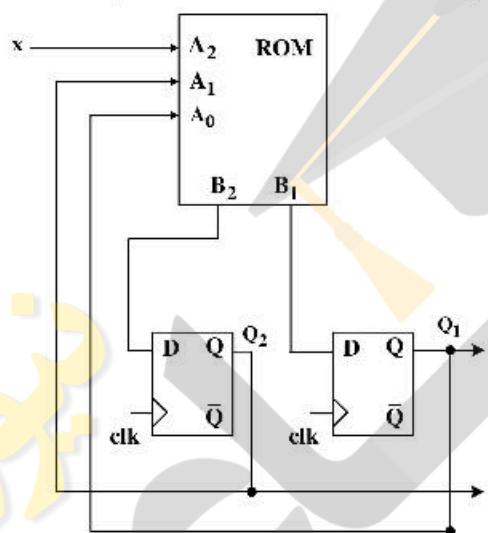
این آزمون نمره منفی دارد.

* متقاضی گرامی، وارد نکردن مشخصات و امضا در کادر زیر، به منزله غیبت و حضور نداشتن در جلسه آزمون است.

این‌جانب با شماره داوطلبی با آگاهی کامل، یکسان‌بودن شماره صندلی خود را با شماره داوطلبی مندرج در بالای کارت ورود به جلسه، بالای پاسخ‌نامه و دفترچه سؤال‌ها، نوع و کد کنترل درج شده بر روی دفترچه سؤال‌ها و پایین پاسخ‌نامه‌ام را تأیید می‌نمایم.

امضا:

-۱ جدول حالت یک ماشین حالت به صورت زیر است. ورودی مدار x و خروجی‌های مدار، همان خروجی‌های فلیپ فلاب‌ها (Q_2, Q_1) هستند. در صورتی که این ماشین حالت مطابق شکل زیر با ROM پیاده‌سازی شود، محتویات آن از خانه صفر تا خانه ۷ به ترتیب (از چپ به راست) چیست؟ (۱) بیت با بیشترین ارزش آدرس و B_2 بیت با بیشترین ارزش داده است)



$Q_2 Q_1$	$Q_2^+ Q_1^+$		$Q_2^+ Q_1^+$	حالت جاری $Q_2 Q_1$
	$x = 0$	$x = 1$		
۰۰	۰۱	۰۰	۰۰	۰۰, ۰۱, ۰۰, ۱۰, ۰۱, ۱۱, ۰۱, ۰۰ (۱)
۰۱	۱۰	۰۰	۱۰	۰۱, ۱۰, ۱۱, ۰۰, ۰۰, ۰۰, ۰۱, ۰۱ (۲)
۱۰	۱۱	۰۱	۱۱	۰۱, ۰۰, ۱۰, ۰۰, ۱۱, ۰۱, ۰۰, ۰۱ (۳)
۱۱	۰۰	۰۱	۰۰	۰۱, ۱۰, ۱۱, ۰۱, ۰۰, ۰۰, ۰۱, ۰۱ (۴)

-۲ در تابع زیر، در صورت پیاده‌سازی به صورت حاصل جمع حاصل ضرب‌ها (SOP) با حداقل تعداد گیت، چند مخاطره وجود دارد؟ (Hazard)

$$F(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 7, 8, 9, 10) + \sum d(15)$$

۱ (۱)

۲ (۲)

۳ (۳)

۴ (۴)

-۳ کمترین تعداد مالتی پلکسرهای ۲ به ۱ مورد نیاز جهت پیاده‌سازی تابع F کدام است؟

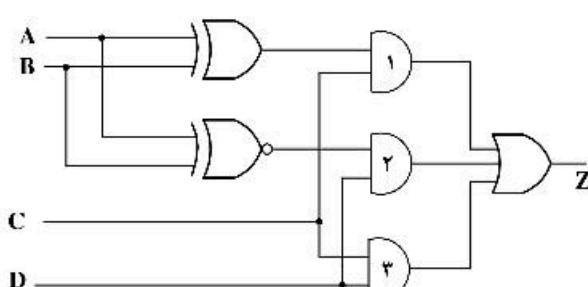
$$F = x_1 \bar{x}_3 (\bar{x}_4 x_5 + x_4 x_6) + \bar{x}_1 \bar{x}_2 (\bar{x}_4 x_5 + x_4 x_6) + \bar{x}_2 \bar{x}_3 (\bar{x}_4 x_5 + x_4 x_6) \\ + \bar{x}_1 x_2 (\bar{x}_7 x_8 + x_7 x_9) + x_1 x_3 (\bar{x}_7 x_8 + x_7 x_9)$$

۱ (۱)

۲ (۲)

۳ (۳)

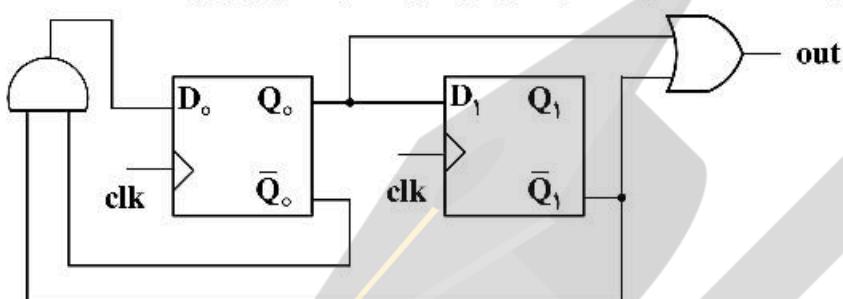
۴ (۴)



-۴ در مدار زیر، کدام یک از گیت‌ها اضافی است؟

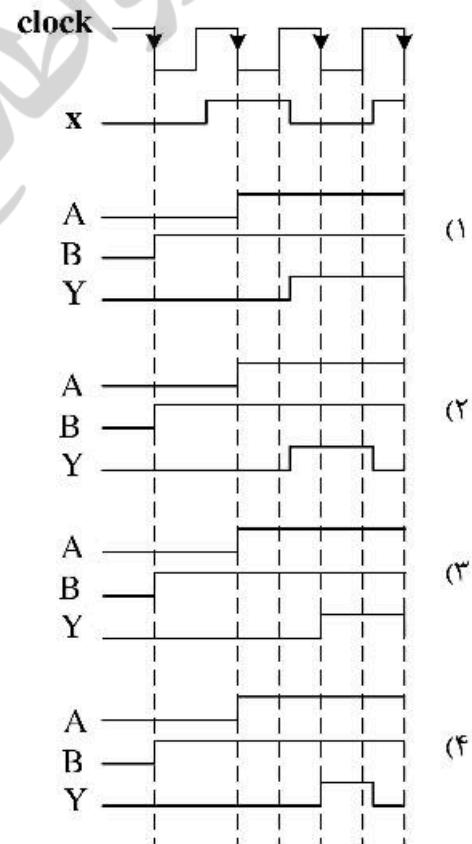
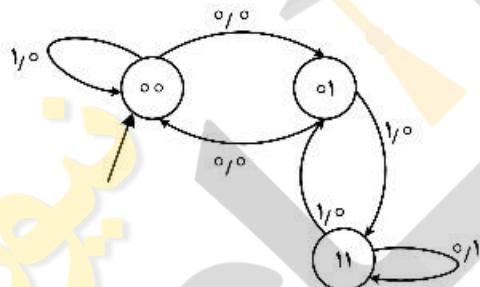
- ۱ (۱)
- ۲ (۲)
- ۳ (۳)
- ۴ (۴) هیچ‌کدام

-۵ با فرض اینکه سیگنال clk، فرکانس 30 kHz داشته باشد، فرکانس سیگنال out چند کیلوهرتز است؟

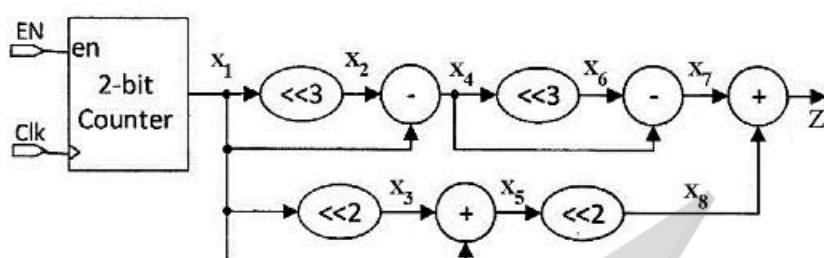


- ۱۰ (۱)
- ۱۵ (۲)
- ۳۰ (۳)
- ۶۰ (۴)

-۶ برای ماشین حالت زیر، با فرض آنکه مدار از حالت $AB=00$ شروع به کار کند، شکل موج خروجی‌های فلیپ فلاب‌ها (A) و (B) و خروجی مدار (Y) کدام است؟ (X ورودی مدار است).



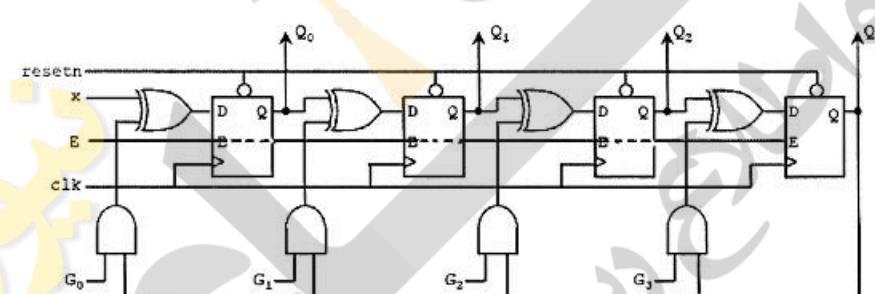
- ۷ فرض کنید که مقدار اولیه شمارنده ۲ بیتی صفر و سیگنال EN در تمامی سیکل‌ها مقدار یک دارند. همچنین فرض کنید که تمامی متغیرهای میانی (x_1 الی x_8) و خروجی Z ۸ بیتی هستند. مدار زیر چه خروجی‌هایی را طی چهار سیکل تولید می‌کند؟



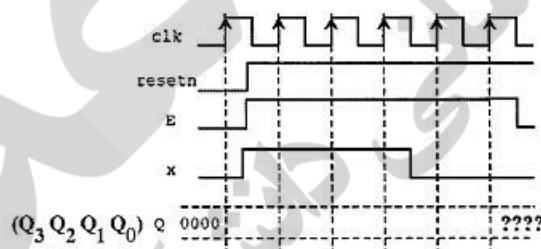
- $\rightarrow ۸۰ \rightarrow ۱۶۰ \rightarrow ۲۴۰$ (۱)
- $\rightarrow ۶۹ \rightarrow ۱۳۸ \rightarrow ۲۰۷$ (۲)
- $\rightarrow ۷۶ \rightarrow ۱۵۲ \rightarrow ۲۲۸$ (۳)
- $\rightarrow ۵۴ \rightarrow ۱۰۸ \rightarrow ۱۶۲$ (۴)

n بیت شیفت به چپ با ورود صفر از سمت راست
 $\ll n$: تفرقیق
 $-$: جمع $+$

- ۸ مدار زیر را در نظر بگیرید که شامل چهار فلیپ فلاب D و خروجی با ترتیب ($Q_3Q_2Q_1Q_0$) با مقدار اولیه ۰۰۰۰ است. در صورتی که ورودی G_۳G_۲G_۱G_۰ = ۱۰۰۱ و سایر ورودی‌ها مطابق شکل موج زیر به مدار اعمال شوند، خروجی مدار بعد از لبه ششم کلاک چه مقداری است؟



- ۱۰۱۰ (۱)
- ۰۱۰۰ (۲)
- ۰۱۱۰ (۳)
- ۰۱۰۱ (۴)



- ۹ اگر هزینه گیت NAND به اندازه تعداد ورودی‌های آن باشد، کمترین هزینه لازم برای پیاده‌سازی همزمان دوتابع با استفاده از فقط گیت‌های NAND چقدر است؟ (از هزینه گیت NOT صرف‌نظر کنید.)

$$f(a, b, c, d) = \sum m(0, 4, 6, 7) + d(1, 5, 10, 14)$$

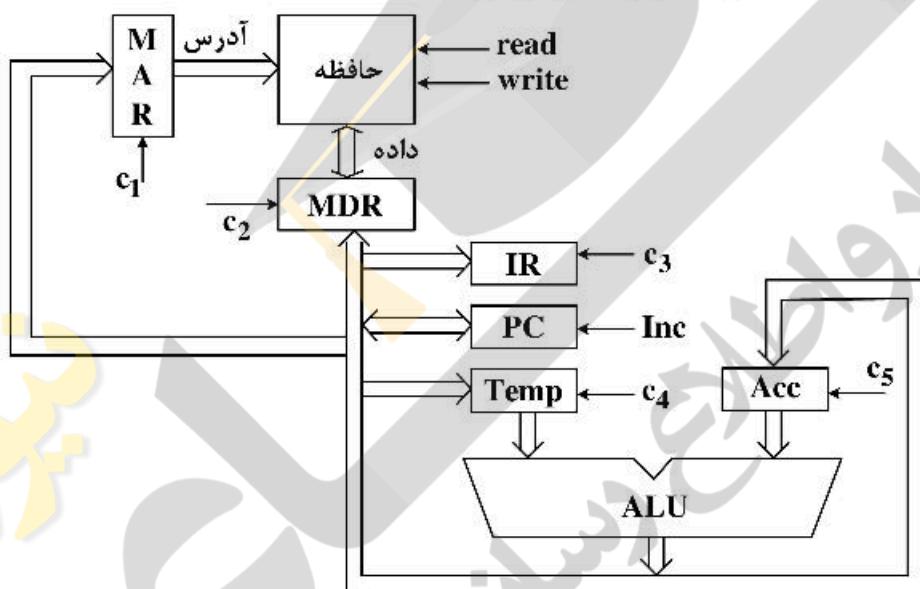
$$g(a, b, c, d) = \sum m(0, 4, 6, 11) + d(2, 10, 12, 15)$$

- ۱۳ (۱)
- ۱۴ (۲)
- ۱۵ (۳)
- ۱۶ (۴)

- ۱۰ فرض کنید تابع $f(a, b, c, d) = \sum m(0, 4, 7, 11) + d(2, 5, 10, 15)$ داده شده است. در این تابع، تعداد عوامل اولیه و عوامل اولیه ضروری (Essential Prime Implicant) به ترتیب (از راست به چپ) کدام مورد است؟

- (۱) ۴ و ۲
- (۲) ۵ و ۱
- (۳) ۴ و ۱
- (۴) ۵ و ۲

- ۱۱ طبق شکل زیر، کدام یک از گزاره‌ها مربوط به دستورالعمل Add X است؟ X آدرس یک عملوند در حافظه است که در MAR قرار گرفته و حاصل جمع در انباشتگر ذخیره می‌شود. همین‌طور فرض شده است خطوط Load یا کنترل ثبات‌ها و سایر اجزاء توسط واحد کنترل به موقع تأمین می‌شود.



$$\begin{aligned} t_1 &: MDR \leftarrow M[MAR] \\ t_2 &: ACC \leftarrow MDR \quad (۲) \\ t_3 &: ACC \leftarrow ACC + Temp \end{aligned}$$

$$\begin{aligned} t_1 &: MDR \leftarrow M[MAR] \\ t_2 &: Temp \leftarrow MDR \quad (۴) \\ t_3 &: ACC \leftarrow Temp + ACC \end{aligned}$$

$$\begin{aligned} t_1 &: Temp \leftarrow M[MAR] \\ t_2 &: ACC \leftarrow Temp + ACC \quad (۱) \end{aligned}$$

$$\begin{aligned} t_1 &: Temp \leftarrow M[MAR] \\ t_2 &: ACC \leftarrow Temp + ACC \quad (۳) \end{aligned}$$

- ۱۲ طول دستورالعمل یک پردازنده ۱۲ بیت است و کلاً ۱۶ ثبات (Register) دارد. مشخص کنید کدام ترکیب دستورات امکان‌پذیر است؟ (عملوند: Operand) در اینجا همان ثبات است.

- (۱) ۱۶ دستور دو عملوندی و ۱۶ دستور تک عملوندی و ۴۰۶۴ دستور بدون عملوند
- (۲) ۱۵ دستور دو عملوندی و ۱۵ دستور تک عملوندی و ۱۶ دستور بدون عملوند
- (۳) ۱۵ دستور دو عملوندی و ۱۶ دستور تک عملوندی و ۴۰۶۵ دستور بدون عملوند
- (۴) ۱۵ دستور دو عملوندی و ۱۵ دستور تک عملوندی و ۱۵ دستور بدون عملوند

- ۱۳ مشخصات دو کامپیوتر A و B به شرح زیر داده شده است و فرض می‌کنیم n تعداد دستورات اجرا شده روی هر کامپیوتر و f فرکانس است. کدام عبارت درست است؟ (CPI: Clock Per Instruction)

	CPI	f	n
A	1/8	2 GHz	10^9
B	1/5	1/5 GHz	0.8×10^9

$$t_{exA} > t_{exB} \quad MiPS_A > MiPS_B \quad (1)$$

$$t_{exA} < t_{exB} \quad MiPS_A < MiPS_B \quad (2)$$

$$t_{exA} < t_{exB} \quad MiPS_A > MiPS_B \quad (3)$$

$$t_{exA} > t_{exB} \quad MiPS_A < MiPS_B \quad (4)$$

- ۱۴ دو عدد علامت دار B = $S'b \cdot b_1 \dots b_{n-1}$ و A = $S a \cdot a_1 \dots a_{n-1}$ را در نظر بگیرید که S' نشان‌دهنده بیت علامت هستند. در کدام حالت، جمع دو عدد به طور قطع سرریز ایجاد نمی‌کند؟

$$S \odot S' = 1 \quad (2)$$

$$S \cdot S' = 1 \quad (4)$$

$$S \oplus S' = 1 \quad (1)$$

$$S + S' = 1 \quad (3)$$

- ۱۵ مشخص کنید برنامه R.T.L زیر، کدام مد آدرس دهی را توصیف می‌کند؟ (A و B ثبات‌های داخلی پردازنده هستند).

$$t_1 : A \leftarrow PC$$

$$t_2 : PC \leftarrow A + B$$

(۲) آدرس دهی آنی

(۴) آدرس دهی نسبی

(۱) آدرس دهی مبتنی بر پایه و Index

(۳) آدرس دهی مستقیم

-۱۶ برنامه زیر داده شده است:

$$C_1 : A \leftarrow A + 1, M[MAR] \leftarrow B, PC \leftarrow PC + 1;$$

$$C_2 : B \leftarrow B - 1, SC \leftarrow SC + 1;$$

$$C_3 : C \leftarrow A + B, D \leftarrow D - 1;$$

$$C_4 : E \leftarrow E + B, A \leftarrow D;$$

$$C_5 : F \leftarrow M[MAR], G \leftarrow G + 1;$$

مشخص کنید درست ترین جواب کدام است؟

- (۱) گزاره‌های C₁، C₂ و C₃ می‌توانند همزمان اجرا شوند ولی C₄ با C₁ و C₅ با C₁ در تعارض است و فقط یکی از آنها قابل اجرا است.

(۲) گزاره‌های C₂ با C₄ و همین‌طور C₁ با C₄ در تعارض است. لذا بقیه می‌توانند همزمان اجرا شوند.

(۳) گزاره‌های C₁، C₂، C₃ و C₅ می‌توانند همزمان اجرا شوند ولی C₄ نمی‌تواند با آنها همزمان اجرا شود.

(۴) همه گزاره‌های R.T.L می‌توانند همزمان اجرا شوند.

- ۱۷ اگر عدد ۹۹...۹-۲۹ در یک سیستم نمایش اعداد ممیز - شناور با فرمت زیر برابر با C2DFF شود، مقدار

بایاس (Bias) و اندازه بخش توان (E) و اندازه بخش اعشاری (F) بر حسب بیت چقدر است؟ (S بیت علامت است).

$$(-1)^S \times 1.F \times 2^{E-Bias}$$

(۱) اندازه E ۷ بیت، اندازه F ۱۲ بیت و بایاس برابر ۱۲۷ است.

(۲) اندازه E ۷ بیت، اندازه F ۱۲ بیت و بایاس برابر ۶۳ است.

(۳) اندازه E ۶ بیت، اندازه F ۱۳ بیت و بایاس برابر ۶۳ است.

(۴) اندازه E ۶ بیت، اندازه F ۱۳ بیت و بایاس برابر ۳۱ است.

S	E	F
---	---	---

MSB

LSB

-۱۸ برنامه‌ای حاوی ۴ نوع دستورالعمل جمع، ضرب، تقسیم و ارجاع به حافظه است که به ترتیب ۰٪، ۳۰٪، ۲۰٪ و ۱۰٪ از کل زمان اجرای برنامه صرف آنها می‌شود. کدامیک از بهمودهای زیر منجر به دستیابی کارایی بیشتر نسبت به بقیه حالات در اجرای این برنامه خواهد شد؟

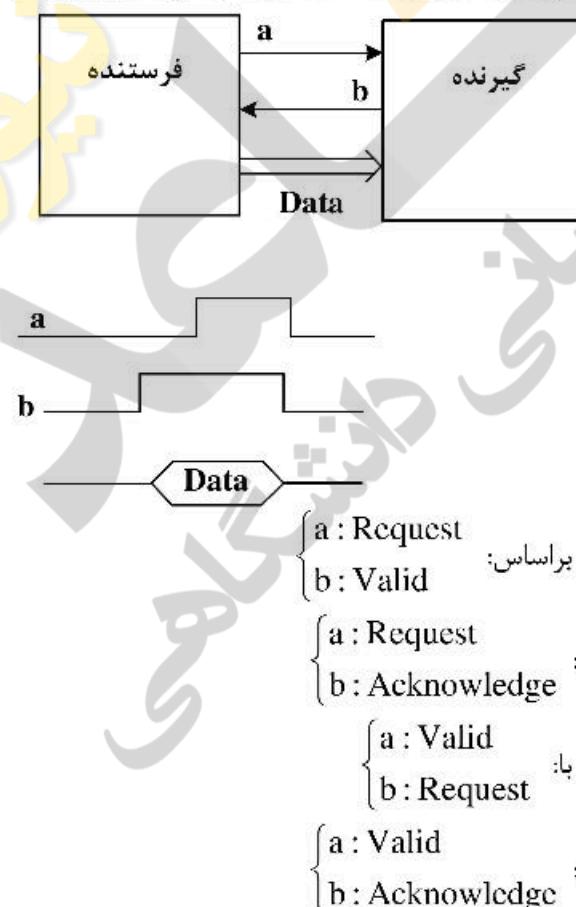
- (۱) دستورهای از نوع جمع و ارجاع به حافظه ۲ برابر سریع‌تر شوند.
- (۲) دستورهای از نوع ضرب و تقسیم ۳ برابر سریع‌تر شوند.
- (۳) فقط دستورهای ارجاع به حافظه ۷ برابر سریع‌تر شوند.
- (۴) فقط دستورهای جمع ۵ برابر سریع‌تر شوند.

-۱۹ یک حافظه نهان (Cache) با ساختار Cache – 2-way set associative کلمه‌ای موجود است. اگر اعداد زیر آدرس کلمه‌هایی باشند که به ترتیب از چپ به راست توسط پردازنده تولید می‌شوند، کدامیک از این آدرس‌ها مستقل از روش جایگزینی بلوک‌ها، حتماً منجر به Hit در Cache می‌شوند؟ (در ابتدای کار خالی است).

۰، ۵، ۷، ۱۱، ۸، ۱۵، ۱۷، ۱۸

- (۱) ۷، ۸، ۱۸
- (۲) ۵، ۷، ۸
- (۳) ۱۷، ۱۸
- (۴) ۵، ۱۸

-۲۰ شکل زیر سیگنال‌های ارتباطی بین یک فرستنده اطلاعات و دریافت‌کننده اطلاعات در یک سیستم I/O کامپیوتري را نشان می‌دهد. شکل زیرین ترتیب ارسال آمها و تبادل داده را در زمان نشان می‌دهد. مشخص کنید درست‌ترین جواب کدام است؟



- (۱) درخواست اطلاعات توسط گیرنده از فرستنده و دریافت آن براساس:
$$\begin{cases} a : \text{Request} \\ b : \text{Valid} \end{cases}$$
- (۲) ارسال اطلاعات به ابتکار فرستنده به سمت گیرنده برمبنای:
$$\begin{cases} a : \text{Request} \\ b : \text{Acknowledge} \end{cases}$$
- (۳) درخواست اطلاعات توسط گیرنده از فرستنده و دریافت آن با:
$$\begin{cases} a : \text{Valid} \\ b : \text{Request} \end{cases}$$
- (۴) ارسال اطلاعات به ابتکار فرستنده به سمت گیرنده برمبنای:
$$\begin{cases} a : \text{Valid} \\ b : \text{Acknowledge} \end{cases}$$

-۲۱ در یک برنامه فقط ۳۰٪ آن قابل موازی‌سازی است و کلاً ۷ پردازنده با سرعت یکسان داریم. مشخص کنید در صورت به کارگیری این پردازنده‌ها سرعت چقدر می‌تواند بهبود یابد؟

(۲) ۰.۳۵%

(۱) ۰.۳۰%

(۴) ۰.۷۰۰%

(۳) ۰.۲۵۰%

-۲۲ نرخ اصابت (Hit ratio) حافظه نهان برابر ۹۰٪ زمان دسترسی به آن ۱ns است. داده‌هایی که در حافظه اصلی نیز از روی دیسک آورده و قرار می‌گیرند، نرخ اصابتی برابر ۹۵٪ و زمان دسترسی ۱۰ns دارند. زمان دسترسی به دیسک ۱ms است. زمان متوسط دسترسی به این سیستم حافظه چقدر است؟

(۲) ۱۱/۹ns

(۱) ۱۶ns

(۴) ۱/۰۹۶ms

(۳) ۶/۹ns

-۲۳ ۱۰٪ دستورات یک برنامه خواندن از حافظه با تأخیر T۲، ۲۵٪ دستورات نوشتمن در حافظه با تأخیر T۳، ۶۵٪ دستورات محاسباتی با تأخیر T۱ و ۲۰٪ دستورات انشعاب با تأخیر T۲ است. پس از بهبود الگوریتم و کد برنامه توانستیم دستورات انشعاب و دستورات نوشتمن در حافظه را به ترتیب به ۱۰٪ و ۲٪ کل دستورات برسانیم و به همین میزان دستورات محاسباتی اجرا کنیم. زمان اجرای برنامه چند درصد بهبود یافته است؟

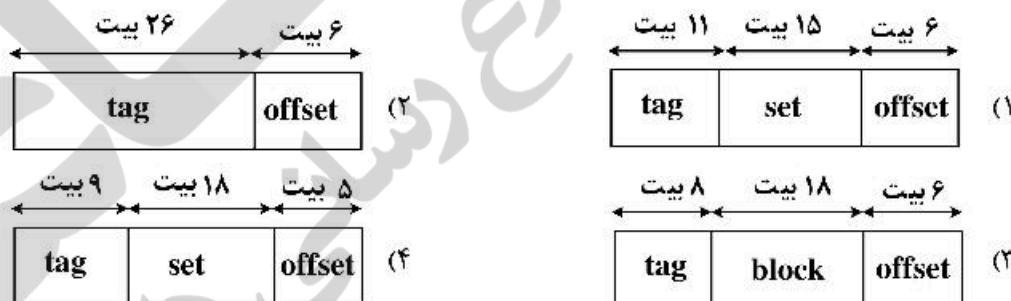
(۲) ۱۰

(۱) ۹

(۴) ۱۲

(۳) ۱۱

-۲۴ در یک سیستم حافظه که شامل ۴ GB حافظه اصلی و ۱6 MB حافظه نهان (Cache) با ساختار شرکت‌پذیر مجموعه‌ای ۸ راهه (8-way set associative) است، میادین (Fields) مختلف آدرس پردازنده کدام است؟ (هر بلوک حافظه شامل ۶۴ بایت است).



-۲۵ یک خط لوله دستورالعمل (Instruction pipeline) دارای ۵ طبقه است که هر کدام با کلاک ۱ns کار می‌کنند. فرض کنید که از لحظه صفر، ۱۰۰ دستور به ترتیب وارد پایپلاین شده و اجرا می‌شوند و در لحظه ورود دستور صد و یکم یک وقفه یا درهم قفلی (Interlock) در پایپلاین به مدت ۲۵ کلاک رخ می‌دهد و پس از آن ۲۵ دستور باقیمانده دیگر نیز اجرا می‌شوند. زمان پایان محاسبات با فرض اینکه هم ۱۰۰ دستور اول بی‌وقفه اجرا می‌شوند و هم ۲۵ دستور تازه وارد، چند نانوثانیه است؟

(۱) ۱۵۰

(۲) ۱۵۴

(۳) ۱۵۶

(۴) ۱۵۸

- ۲۶- فرض کنید یک کامپیوتر برداری که به صورت SiMD دستورات برداری را اجرا می‌کند، دارای ۶۴ پردازنده است و هر عمل برداری را در $2ns$ اجرا می‌کند. اگر عمل برداری $C = A + B$ را روی بردارهای A و B که هر کدام ۱۹۵ درایه دارند انجام دهیم، کلاً چند نانوثانیه زمان صرف می‌شود؟

- (۱) ۶
 (۲) ۶/۰۵
 (۳) ۷/۰۵
 (۴) ۸

- ۲۷- در یک شبکه میان ارتباطی از نوع فوق مکعب (Hypercube) با کلاً ۶۴ پردازنده، تعداد گره‌های همسایه هر پردازنده و عرض مقطع دونیمه (Bisection width) به ترتیب (از راست به چپ) چقدر است؟

- (۱) ۳۲، ۶
 (۲) ۳۲، ۸
 (۳) ۶۴، ۶
 (۴) ۶۴، ۶۴

- ۲۸- می‌خواهیم جمع ۸ عدد را روی یک کامپیوتر ۸ پردازنده‌ای که به شکل مکعب به هم متصل هستند انجام دهیم. هر جمع زدن ns و هر انتقال داده (مثل حاصل جمع جزئی) بین پردازنده‌های مجاور $5ns$ طول می‌کشد. زمان اجرای برنامه موازی جمع این ۸ عدد، با فرض اینکه هر عدد را روی یک پردازنده چیده شده باشد، چند نانوثانیه طول خواهد کشید؟

- (۱) ۱۶
 (۲) ۱۸
 (۳) ۴۱
 (۴) ۴۸

- ۲۹- در اجرای چند ریسمانی همزمان (Simultaneous Multi-threading) هر دستور هر ریسمان روی هر هسته
 (۱) تا وقتی که دچار فقدان حافظه نهان (Cache miss) یا وابستگی به دستورات دیگر نشود، به صورت موازی با دیگر دستورات اجرا می‌شود.

- (۲) یک کلاک اجرا می‌شود و نوبت را به دیگر دستورات قابل اجرا می‌دهد.
 (۳) تا وقتی که وقفه‌ای از سیستم عامل نیاید، به کار خود ادامه می‌دهد.
 (۴) تا وقتی که هسته‌ای موجود باشد، اجرا می‌شود.

- ۳۰- عدد روی پردازنده P_1 و N_2 عدد روی پردازنده P_2 قرار دارد. زمان ارتباط بین دو پردازنده برابر $100\mu s$ و زمان جمع زدن دو عدد روی هر پردازنده τ است. به کدام شرط (شروط) پردازش موازی زمان بهتری نسبت به جمع همه اعداد روی یک پردازنده خواهد داشت؟

$$N_1 = N_2 = 100 \quad (۱)$$

$$N_2 > 1, N_1 = N_2 + 99 \quad (۲)$$

$$N_1 = N_2 + 100, N_2 > 1 \quad (۳)$$

- ۳۱- جدول زیر Reservation Table یک پایپ‌لاین غیرخطی با سه مرحله را نشان می‌دهد.

						Minimum Average Latency
1	2	3	4	5	6	
X		X				۲/۵ (۱)
	X			X		۳/۵ (۲)
			X		X	۴ (۳)
						۶ (۴)

چقدر است؟

- ۳۲- در یک پردازنده با ۸ هسته پردازشی و فرکانس کاری ۲ گیگاهرتز، ۲۰ درصد دستورات در هسته‌ها نیاز به ارتباط با سایر هسته‌ها دارند و به ازای آن دستورات، عملیات هسته مربوطه تا اجابت در خواست به مدت ۲ نانوثانیه متوقف می‌شود. اگر CPI در پردازنده در حالتی که به ارتباط بین هسته‌ها نیاز نباشد برابر $2/5$ باشد، CPI این پردازنده با در نظر گرفتن ارتباط بین هسته‌ها چه عددی خواهد بود؟

- (۱) ۰/۶
 (۲) ۰/۳
 (۳) ۱
 (۴) ۲

- ۳۳- اجرای پایپ‌لاین پنج مرحله‌ای دستورات شامل واکشی دستور(IF)، رمزگشایی و بهدست آوردن عملوندها (ID)، اجرا (EX)، مراجعه به حافظه داده (DM) و ذخیره نتیجه در ثبات‌ها (WB) است. با فرض اینکه امکان استفاده از تکنیک روانه‌سازی (forwarding) وجود داشته باشد، اجرای دستورات زیر نیاز به چند عمل forwarding دارد؟

LD	X5, 20(X1)
ADD	X1, X2, X5
ST	40(X6), X1
SUB	X7, X1, X4
XOR	X8, X9, X4

- ۱) ۵
۲) ۴
۳) ۳
۴) ۲

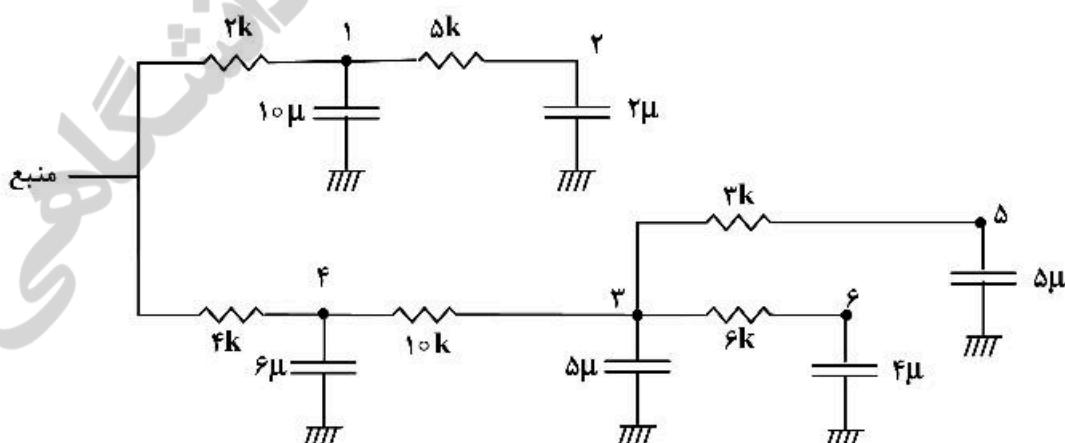
- ۳۴- در یک پردازنده، حافظه نهان دستور و داده مجزا و اندازه هر کدام ۱۶kB است. فرض کنید زمان دسترسی به حافظه نهان (Hit time) ۱ پالس ساعت و هزینه مراجعه به حافظه اصلی در صورت نبود داده یا دستور در حافظه نهان (miss rate) ۱۰۰ پالس ساعت باشد. نرخ فقدان (miss penalty) حافظه نهان دستور ۲ درصد و نرخ فقدان حافظه نهان داده یک درصد است. در یک برنامه ۲۰ درصد از دستورات از نوع مراجعه به حافظه است. میانگین زمان دسترسی به سیستم حافظه چند پالس ساعت است؟

- ۱) ۳,۴
۲) ۳
۳) ۲,۸
۴) ۲,۴

- ۳۵- مخاطرات داده‌ای (Data hazard) WAW و RAW به ترتیب نشانگر کدام مورد است؟

- ۱) وابستگی دستور بعدی به خروجی دستور قبلی و یکسانی ورودی دستور بعدی و قبلی است.
۲) وابستگی دستور بعدی به خروجی دستور قبلی و یکسانی مقصد دستور بعدی و قبلی است.
۳) وابستگی دستور قبلی به خروجی دستور بعدی و یکسانی خروجی دستور بعدی است.
۴) وابستگی دستور قبلی به نتیجه انشعاب و وابستگی دستور بعدی به دستور قبلی است.

- ۳۶- تأخیر گره ۳ در شبکه زیر، به روش Elmore چند میلی ثانیه است؟



۲۴۰ (۲)

۲۶۹ (۴)

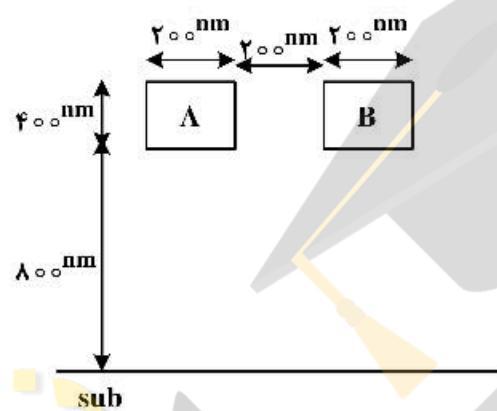
۲۲۰ (۱)

۲۵۴ (۳)

- ۳۷ - پردازنده‌ای را در فرایند 180° میکرومتر با ولتاژ تغذیه $1/2$ ولت در نظر بگیرید. مساحت این پردازنده 8×8 میلی‌مترمربع و توان مصرفی آن $3/6$ میلی‌وات است. اگر فرایند به 90 نانومتر با ولتاژ منبع تغذیه $1/0$ ولت مقیاس یابد، با فرض ثابت بودن خازن‌های داخلی و فرکانس کلک، مساحت (بر حسب میلی‌مترمربع) و توان مصرفی پردازنده (بر حسب میلی‌وات)، به ترتیب (از راست به چپ) چقدر خواهد بود؟

- (۱) $2/5, 0/2$
 (۲) $5, 0/2$
 (۳) $5, 0/4$
 (۴) $2/5, 0/4$

- ۳۸ - دو خط فلز شماره ۱ به موازات یکدیگر رسم شده‌اند. با فرض رها بودن (عدم وجود تحریک) خط B، نویز حاصل از تغییر ولتاژ خط A از 0 به V_{DD} بر روی خط B چند V_{DD} است؟



- (۱) $\frac{1}{9}$
 (۲) $\frac{1}{5}$
 (۳) $\frac{4}{5}$
 (۴) $\frac{8}{9}$

- ۳۹ - یک نوسان‌ساز که از N عدد گیت معکوس‌کننده پایه (با کمترین ابعاد ممکن برای ترانزیستورهایش) تشکیل شده است، سیگنال کلک با چه فرکانسی (بر حسب GHz) تولید می‌کند؟ (N عددی فرد است و ضریب فناوری α برابر 15ps است).

- (۱) $6^{\circ} N$
 (۲) $\frac{100}{3N}$
 (۳) $3^{\circ} N$
 (۴) $\frac{100}{6N}$

- ۴۰ - یک خازن 2pF در انتهای یک سیم فلزی به طول ۴ میلی‌متر با مقاومت واحد طول $5\Omega/\mu\text{m}$ و خازن واحد طول $2\text{fF}/\mu\text{m}$ وجود دارد. این سیم و خازن توسط یک بافر با مقاومت خروجی 10^0 اهم تحریک می‌شود. اگر مدل تأخیر سیم به صورت مدل π باشد، ثابت زمانی Elmore شارژ خازن و سیم چند پیکوثانیه است؟

- (۱) ۳۴
 (۲) ۳۶
 (۳) ۶۴
 (۴) ۷۶

-۴۱- کدام عبارت در مورد تأثیر رسم چینش بر توان و انرژی مصرفی تراشه درست است؟

۱) همزمان نمی‌توان تأخیر و توان را با هم کاهش داد.

۲) می‌توان تأخیر، توان و انرژی را همزمان کاهش داد.

۳) می‌توان توان مصرفی را کاهش داد اما بر انرژی تأثیر ندارد.

۴) می‌توان تأخیر سلول‌ها را کاهش داد، اما بر مصرف انرژی تأثیر ندارد.

-۴۲- در مدار شکل زیر، تأخیر دریافت سیگنال کلاک (ساعت) در ورودی هر فلیپ‌فلاب و تأخیر بخش ترکیبی مشخص شده است. حداقل پریود کلاک (ساعت) سیستم بدون درنظر گرفتن زمان برپایی (Setup time) و تأخیر فلیپ‌فلاب

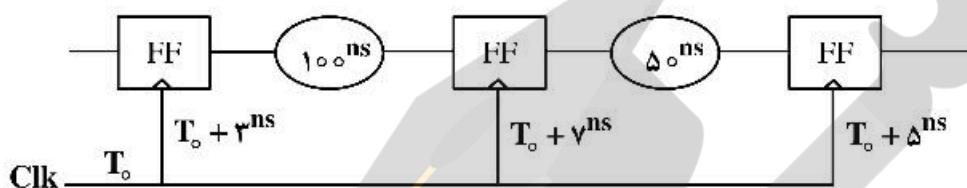
چقدر است؟

۱) $100 - 4$

۲) $100 + 3$

۳) $100 + 4$

۴) $100 + 7$



-۴۳- کدام ویژگی در فناوری FinFET بدتر از فناوری MOSFET است؟

۱) جریان نشتی

۲) هزینه ساخت

۳) اثرات کانال کوتاه

۴) سرعت سوییچینگ

-۴۴- یک مدار دومینو برای محاسبه $F = (A + B)(C + D)$ با بیشترین سرعت ممکن طراحی نموده‌ایم. در این طراحی، هر ورودی قادر است حداقل 30λ عرض ترانزیستور داشته باشد و خروجی می‌تواند باری معادل 500λ عرض ترانزیستور را هدایت کند. اندازه تقریبی ترانزیستورهای NMOS و PMOS در معکوس‌کننده خروجی برای دستیابی به کمترین تأخیر (به ترتیب)، در کدام گزینه آمده است؟

۱) معادل 111 و معادل 28 عرض ترانزیستور

۲)

۳)

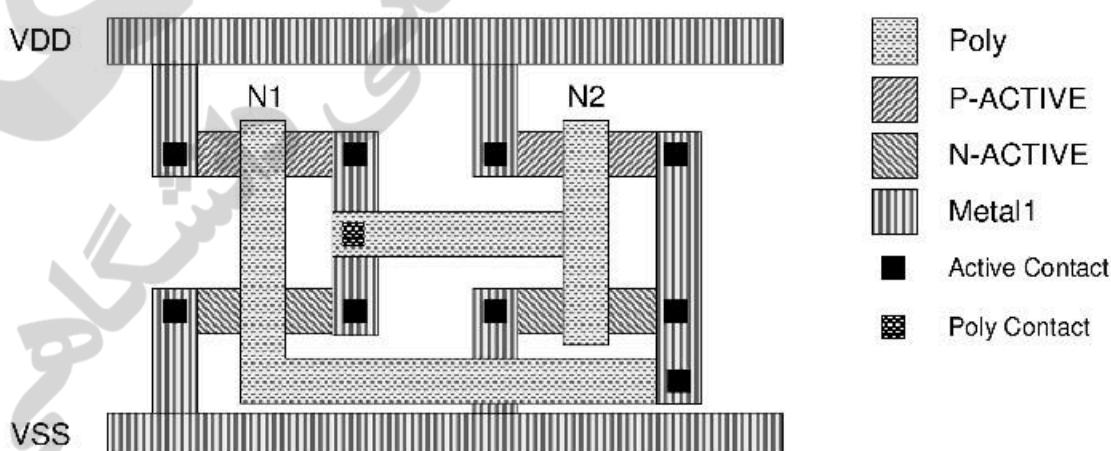
۴)

معادل 221 و معادل 54 عرض ترانزیستور

معادل 220 و معادل 26 عرض ترانزیستور

معادل 100 و معادل 28 عرض ترانزیستور

-۴۵- چینش زیر نشان‌دهنده کدام گیت یا عنصر الکترونیکی است؟



۲) یک بیت حافظه استاتیک

۱) بافر دو طبقه

۴) نوسان‌ساز حلقوی

۳) یک بیت حافظه دینامیک